

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-178765

(43)Date of publication of application : 11.10.1984

(51)Int.Cl.

H01L 27/10

G11C 11/34

H01L 29/78

(21)Application number : 58-052728

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.03.1983

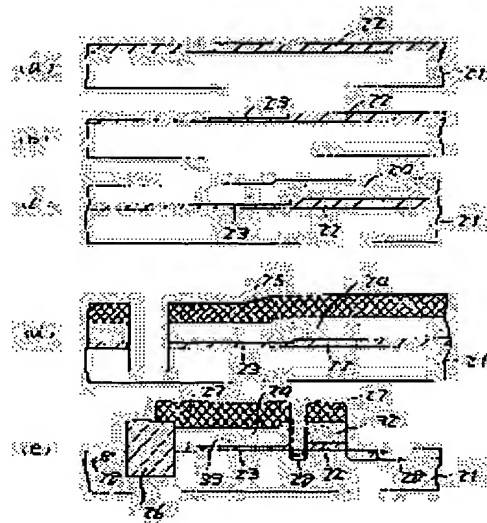
(72)Inventor : HIEDA KATSUHIKO

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

## (57)Abstract:

**PURPOSE:** To increase the occupation area of a capacitor by a method wherein the gate electrode and the capacitor electrode of a transistor are formed of the same material and in the same process without being extended on the element isolation region, in a dynamic memory device wherein a memory cell of 1 bit is composed of a piece of MOS transistor and MOS capacitor, respectively.

**CONSTITUTION:** The first thin gate oxide film 22 and the second much thinner gate oxide film 23 are connected and adhered on a P type Si substrate 21, and an N type polycrystalline Si film 24 is deposited over the entire surface. Next, the mask of a resist film 25 having an aperture at the element forming region is provided and etched, thus boring a groove going into the substrate, which groove is filled with an SiO<sub>2</sub> film 26. Thereafter the resist film 25 is renewed to a resist film 27 covering the gate electrode 32 and the capacitor 33 and etched, thus removing the exposed unnecessary polycrystalline Si film 24. Then, the N<sup>+</sup> source and drain regions 28 serving as a bit line are diffusion-formed on the exposed surfaces of the substrate 21 outside the film 26 and the electrode 32 and between the electrode 32 and 33.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

BEST AVAILABLE COPY

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭59—178765

① Int. Cl.<sup>3</sup>  
H 01 L 27/10  
G 11 C 11/34  
H 01 L 29/78

識別記号

1 0 1

庁内整理番号  
6655—5F  
8320—5B  
7377—5F

⑬ 公開 昭和59年(1984)10月11日

発明の数 2  
審査請求 未請求

(全 5 頁)

④ 半導体装置及びその製造方法

川崎市幸区小向東芝町 1 東京芝  
浦電気株式会社総合研究所内

⑤ 特 願 昭58—52728

⑥ 出 願 人 株式会社東芝

⑦ 出 願 昭58(1983)3月30日

川崎市幸区堀川町72番地

⑧ 発 明 者 稗田克彦

⑨ 代 理 人 弁理士 則近憲佑 外 1 名

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

(1) 1個のMOSトランジスタと1個のMOSキャパシタにより1ビットのメモリセルを構成するダイナミック型半導体記憶装置において、前記MOSトランジスタのゲート電極と前記MOSキャパシタの電極とが同一の電極材料かつ同一工程で形成されて成り、前記ゲート電極及び前記キャパシタ電極が素子分離領域に形成された絶縁膜上に延在しないように設けられている事を特徴とする半導体装置。

(2) 半導体基板の少なくとも素子形成領域に第1の絶縁膜を形成する工程と、少なくともMOSキャパシタを形成する領域のシリコン表面を露出させる工程と、前記露出されたシリコン表面に前記第1の絶縁膜より膜厚の小さな第2の絶縁膜を形成する工程と、全周に電極材料を被覆する工程と、素子分離領域に存在する前記電極材料、前記第1

の絶縁膜、前記第2の絶縁膜および半導体基板を選択的にエッチング除去して凹部を形成する工程と、前記凹部に絶縁膜を埋め込む工程と、前記電極材料を部分的に除去して、少なくともMOSキャパシタ電極およびゲート電極部を露出のごとく位置する工程と、前記第1の絶縁膜及び第2の絶縁膜を選択的にエッチングして、ソースおよびドレイン領域を露出させ半導体基板と逆の不純物を注入することによりソースおよびドレイン領域を形成する工程と、前記MOSキャパシタ電極およびゲート電極部を層間絶縁された第2の電極材料、第3の電極材料で配線する工程とを備えたことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔発明の属する技術分野〕

本発明は半導体装置の製造方法に関するもので特に1個のMOSトランジスタと1個のMOSキャパシタにより1ビットのメモリセルを構成するメモリにおいてゲート電極及びキャパシタ電極を同一の電極材料で同時に形成しゲート電極及びキ

特開59-178785(2)

キャパシタ電極が素子分離領域上にないことを特徴とし、高密度なメモリ素子の集積を可能にする製造方法を提供するものである。

【従来の技術とその問題点】

1個のMOSトランジスタと1個のMOSキャパシタにより1ビットのメモリセルを構成するダイナミックRAMは、大容量の半導体メモリを容易に形成することが可能なため、広く使われている。

従来のダイナミックRAMのひとつの製造方法を図1(a)~(d)を使って以下に説明する。

まず例えばp型シリコン基板1を用意し、例えばシリコン酸化膜マスクを用いた周知の選択酸化法を使って、フィールド酸化膜2を形成する。(第1図(a))

次に熱酸化により第1ゲート酸化膜3を形成し、第1層ポリシリコン膜(第1層電極膜)を堆積して、これに高抵抗比リン拡散を行なった後パターンニングすることにより、ビットに連続的にMOSキャパシタ電極4を形成する。(第1図(b))

使用するのでペースビークが入る為、実際のキャパシタ面積より出来上がりのキャパシタ面積が小さくなる。これよりMOSキャパシタに蓄えられる電荷量がマスク寸法通り作った場合のMOSキャパシタに蓄えられる電荷量に比べて小さくなり性能が低下する。

第2に、かかる方法では、2層ポリシリコンを使用するので、第1層のポリシリコン側壁部に第2層目のポリシリコンが残り、それによりワード線同士が短絡したりするなどの欠点があり、かつ工程が2層ポリシリコンを使うことにより複雑になり歩留りが低下し、製品の信頼性が低下する問題があった。

第3にメモリ素子を集積化する場合、ゲート電極あるいはキャパシタ電極が隣の素子と接触しないように間隔をとらなければならず、高集積化の際のさまたげとなる。

【発明の目的】

本発明は以上の欠点かんがみ込まれたものであり、1層のポリシリコン膜によりゲート電極とキャ

パシタ電極を形成し、かつ素子分離領域上にゲート電極及びキャパシタ電極を堆積させない事により、MOSキャパシタの占有面積の増大を図り、性能の大幅な向上と高信頼性、高い歩留りを可能とした半導体装置を提供することを目的としている。

次に、例えば5000ÅのCVD酸化膜9で全面をおおい、これにコンタクトホールをあけて、第1層10を堆積しパターンニングしてMOSトランジスタのゲート電極6にコンタクトするワード線10を形成する。最後に保護膜11を被せて完成する(第1図(d))。

しかしながら、かかる方法で製造したダイナミックRAMには次の様な欠点があった。

まず第1に、メモリセルのMOSキャパシタに蓄えられる電荷量の多少によってダイナミックRAMの性能が決まるが、従来例では選択酸化法を

キャパシタ電極を作り、かつ素子分離領域上にゲート電極及びキャパシタ電極を堆積させない事により、MOSキャパシタの占有面積の増大を図り、性能の大幅な向上と高信頼性、高い歩留りを可能とした半導体装置を提供することを目的としている。

【発明の概要】

すなわち、本発明は上記目的を達成する為に同一の基板材料でしかも同一の工程でMOSキャパシタの電極部とMOSトランジスタのゲート電極が素子領域上のみに存在し、素子分離領域に形成された絶縁膜上に存在しない。

このための製造方法としては、まず半導体基板の表面に第1のゲート酸化膜を形成し、少なくともMOSキャパシタを形成する領域の第1のゲート酸化膜を除去し半導体基板の表面を露出させる。次に露出させた半導体基板表面に第1のゲート酸化膜より膜厚の小さい第2の酸化膜を形成し、全面に電極材料を堆積したのちに素子分離領域を選択的にエッチング除去して溝を形成し、ここに第

## 特開特許58-178765(3)

化膜を腐蝕込んで平坦化し、その後、MOSキャパシタ電極およびMOSトランジスタのゲート電極を形成し、(ソース・ドレイン領域を形成した後)それぞれの電極を層間絶縁して第2、第3の電極材料により所望の形状に配線する。

## [発明の効果]

本発明の方法により次のような効果が得られる。

- (1) 同一電極材料で、しかし同一工程でMOSキャパシタ電極及びMOSトランジスタのゲート電極を形成できるので、工程が短縮でき歩留りが向上する。
- (2) MOSキャパシタ電極およびMOSトランジスタ電極が素子分離領域に存在しないため、隣り合うトランジスタのゲート電極あるいはキャパシタ電極どうしが接触しないようにするための間隔を必要とせず、この間隔は素子分離能力のみによって決まり、キャパシタ電極ゲート電極によるパターン設計の制限がなくなる。したがってメモリ素子の高密度化が可能となる。
- (3) 素子分離領域上にゲート電極が存在しない為

ゲート電極の間隔が減少し、したがって浮遊容量が減少し、ゲート電圧のスイッチングに要する時間が短くなりより高速動作が可能となる。

- (4) 素子分離に選択酸化法を使わないのでパズバックが入らず、MOSキャパシタの占有面積を選択酸化法を使った場合に比べて大きくでき性能の高いダイナミックRAMを得ることができ。

## [発明の実施例]

以下本発明の一実施例を第2図(a)~(f)(平面図A-A'の断面図)第3図(平面図)を用いて説明する。

まず第2図(a)に示すように、面方位(100)、比抵抗 $5 \sim 50 \Omega \cdot \text{cm}$ のP型シリコン基板21を用意し、次に熱酸化により第1ゲート酸化膜22を例えば $400 \text{ \AA}$ 形成する。

次にMOSキャパシタを形成する領域の第1ゲート酸化膜22を通常のレジスト工程によりエッチング除去して、改めて熱酸化により第2ゲート酸化膜23を例えば $200 \text{ \AA}$ 程度形成する(第2図(b))。

このとき第2図(b)に示されている様にMOSキャパシタを形成する領域より例えば $0.5 \mu\text{m}$ 程度小さく第2ゲート酸化膜23を形成すれば、次のポリシリコン膜24を例えば反応性イオンエッチング(RIE)でエッチング所望の形状に加工する場合のダミー層の形成を防ぐことができる。

次に、第2図(c)に示すように、例えばリンをドープしたポリシリコン膜24を全面に堆積する。

次に第2図(d)に示すように、全面にレジスト膜を塗布した後、素子形成領域を残してこれをエッチングする。さらに残ったレジスト膜25をマスクとしてポリシリコン膜24、ゲート酸化膜22、23、基板21を順次選択的にエッチング除去して、フィールド領域に溝を形成する。

次に第2図(e)に示すように、この溝にCVD  $\text{SiO}_2$ 膜26を溝の深さより厚く堆積し、素子形成領域上のレジストをエッチング除去することによりリフトオフ法で溝のみをCVD  $\text{SiO}_2$ 膜で平坦に埋め込むことができる。この工程は(特開特許56-55450号)にあるようなBOX法による素子分離工

程を用いることもできる。次に、通常のレジスト工程により、ゲート電極32、MOSキャパシタ電極33のレジストパターン27を形成し、例えば反応性イオンエッチングにより所望の形状に加工する。この後、レジスト膜27及びゲート電極32及びMOSキャパシタ電極33をマスクとして、第1ゲート酸化膜22、第2ゲート酸化膜23をエッチング除去し、ソース・ドレイン(ビットライン)28の $n^+$ 拡散層を例えば $\lambda$ をドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ 、加速電圧50 KeVでイオン注入する等により形成する。

次にレジスト膜27を除去した後、例えば $1000^\circ\text{C}$ 20分の熱酸化を行ない約 $300 \text{ \AA}$ の酸化膜を形成し、次いで全面に層間絶縁膜として、CVD  $\text{SiO}_2$ 膜29を堆積する。この後、ゲート電極32の上にコンタクトホールを開け、例えば $\lambda/2$ 膜を蒸着し、パターンニングしてMOSトランジスタのゲート電極32にコンタクトするワード線30を形成する。さらに再び全面に層間絶縁膜として、CVD  $\text{SiO}_2$ 膜31を堆積し、キャパシタゲート電極33の上にコンタクトホールを開け、例えば $\lambda/2$ 膜を蒸着し、パターンニング

して、キャパシタゲート電極33にコンタクトする電極34を形成する。最後に保護膜を被せて完成する(第2図(D))。

第3図は第2図の平面図を示す。图中aは $n^+$ ビットライン、bはワードライン(AB)、cはMOSトランジスタのゲート電極、dはMOSキャパシタ電極である。

本実施例によって得られる効果は次のとおりである。

- (1) 一層ポリSiでMOSトランジスタのゲート電極及びMOSキャパシタ電極を同時に形成できるので工程が短縮でき、段差が2層ポリシリコンを使用する時に比べて少なく、加工が容易となり、歩留りが向上する。
- (2) 素子分離領域上にはゲート電極及びキャパシタ電極が存在しないため隣り合うトランジスタのゲート電極あるいはキャパシタ電極同士が接触しないようにするための間隔は素子分離能力のみによって決まり、ゲート電極、キャパシタ電極によるパターン設計の制限がなくなる。し

たがって、メモリ素子の高集積化が可能となる。

- (3) 溶媒酸化法を使わないのでパーズピークが入らず、MOSキャパシタの占有面積を大きくすることができ、性能の高いダイナミックRAMが得られる。

- (4) MOSトランジスタのゲート電極とMOSキャパシタの電極間の距離が同一のエッチング工程で決まる為 $R^+$ 抵抗層の抵抗の各メモリアル毎のバラツキを減少することができ、従って製品の歩留り向上ができる。

#### [発明の他の実施例]

上記実施例でのゲート電極、キャパシタ電極はポリシリコンに限らず、 $Al$ 、 $MOB_2$ などの金属あるいはシリサイドであってもよいし、配線金属は $Al$ だけに限らず高融点金属あるいは他の金属であっても同様な効果が得られることは明らかである。

さらに、層間絶縁膜も $CVL SiO_2$ に限らず他の絶縁膜であっても同様な効果が得られる。

さらに、上記実施例ではMOSトランジスタのゲート電極同士及びMOSキャパシタ電極同士を

接続するのにAB配線を用いたが、例えば、ゲート電極同士の接続にはリンをドーパしたポリシリコン膜を使用し、キャパシタ電極のみをAB配線でつないでも同様の効果が得られる。

さらに上記実施例では $n^+$ 抵抗層をビットラインとして使用したが、抵抗を下げるために、リンをドーパしたポリシリコン膜をビットラインとして使用しても良い。

#### 4. 図面の簡単な説明

第1図(何〜何)は従来のダイナミックRAMの製造工程を説明する断面図、第2図(何〜何)は本発明のダイナミックRAMの製造工程を説明する断面図である。第3図は本発明のダイナミックRAMの平面図(A-A'断面が前記第2図に対応)である。

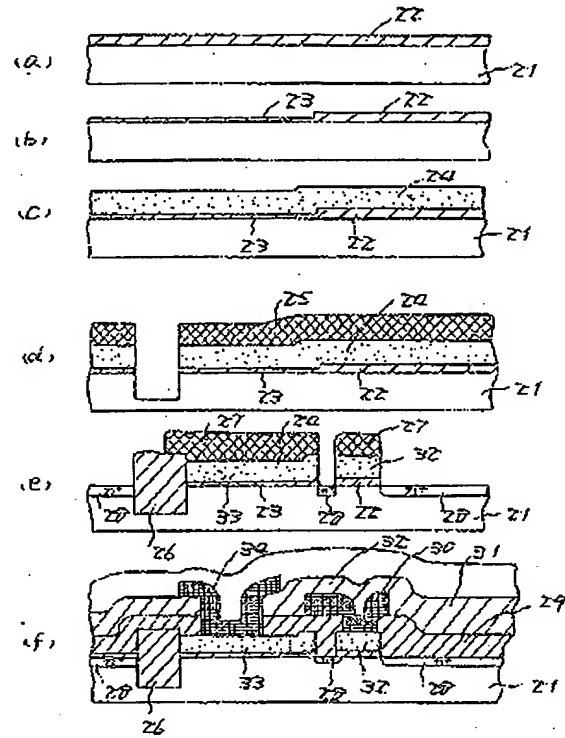
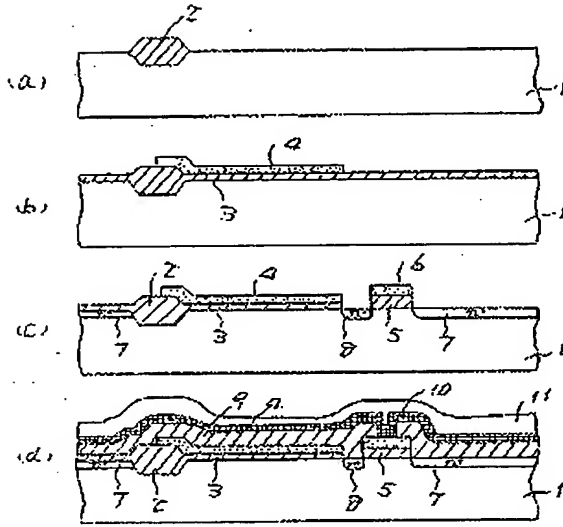
代理人 弁理士 周 近 彦 佑  
(他1名)

# BEST AVAILABLE COPY

特開昭59-178765(5)

第 2 図

第 1 図



第 3 図

